



92/6AU 2838
JRW

H-1030

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

K. ENDO et al

Serial No. 10/091,405

Art Unit: 2838

Filed: March 7, 2002

Examiner: M. Nguyen

For: SEMICONDUCTOR INTEGRATED CIRCUIT WITH VOLTAGE
GENERATION CIRCUIT, LIQUID CRYSTAL DISPLAY CONTROLLER
AND MOBILE ELECTRIC EQUIPMENT

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified priority document
(JP 2001-110813) of a corresponding Japanese patent
application for the purpose of claiming foreign priority under
35 U.S.C. § 119. An indication that this document has been
safely received would be appreciated.

Respectfully submitted,

John R. Mattingly
Registration No. 30,293
Attorney for Applicant(s)

MATTINGLY, STANGER & MALUR
1800 Diagonal Rd., Suite 370
Alexandria, Virginia 22314
(703) 684-1120
Date: January 13, 2005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 4月10日

出願番号

Application Number:

特願2001-110813

ST.10/C]:

[JP2001-110813]

出願人

Applicant(s):

株式会社日立製作所
日立デバイスエンジニアリング株式会社

Application No. 10/091,405

MATTINGLY, STANGER & MALUR, P.C.
1800 DIAGONAL ROAD
SUITE 370
ALEXANDRIA, VIRGINIA 22314

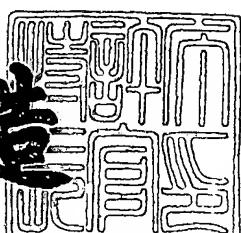
(703-684-1120)

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 3月19日

特許庁長官
Commissioner,
Japan Patent Office

久川耕造





【書類名】 特許願
 【整理番号】 H01004311
 【あて先】 特許庁長官 殿
 【国際特許分類】 G11C 17/00
 G06F 3/153

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 遠藤 一哉

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 宮本 直樹

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 水野 敏雄

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 中地 孝行

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

【氏名】 内田 孝俊

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 大門 一夫

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 横田 善和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路を内蔵した半導体集積回路および液晶表示制御装置並びに携帯用電子機器

【特許請求の範囲】

【請求項1】 外部電源電圧を受けて該外部電源電圧よりも高い正電圧と接地電位よりも低い負電圧を発生する電源回路を内蔵した半導体集積回路であって、上記負電圧を基板のバイアス電圧として給電する第1の配線と接地電位を供給する第2の配線との間に接続されたスイッチ素子を備えていることを特徴とする半導体集積回路。

【請求項2】 前記スイッチ素子は、電源回路の起動時に一時的に導通され、上記負電圧が印加されるべき基板の電位を一時的に接地電位にさせるように構成されてなることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記電源回路を起動させるための制御信号に基づいて前記スイッチ素子を一時的に導通状態にさせる制御信号を生成するリセット回路を備えていることを特徴とする請求項2に記載の半導体集積回路。

【請求項4】 前記スイッチ素子は、高耐圧のMOSFETで構成されていることを特徴とする請求項1～3のいずれかに記載の半導体集積回路。

【請求項5】 外部電源電圧を受けて液晶パネルのセグメント電極に印加される電圧と、前記液晶パネルのコモン電極に印加される前記外部電源電圧よりも高い正電圧と接地電位よりも低い負電圧とを発生する液晶駆動用電源回路を備え半導体集積回路化された液晶表示制御装置であって、

上記負電圧を基板のバイアス電圧として給電する第1の配線と接地電位を供給する第2の配線との間に接続されたスイッチ素子を備えていることを特徴とする液晶表示制御装置。

【請求項6】 前記スイッチ素子は、電源回路の起動時に一時的に導通され、上記負電圧が印加されるべき基板の電位を一時的に接地電位にさせるように構成されてなることを特徴とする請求項5に記載の液晶表示制御装置。

【請求項7】 前記電源回路を起動させるための制御信号に基づいて前記スイッチ素子を一時的に導通状態にさせる制御信号を生成するリセット回路を備え

ていることを特徴とする請求項6に記載の液晶表示制御装置。

【請求項8】 前記スイッチ素子は、高耐圧のMOSFETで構成されていことを特徴とする請求項5～7のいずれかに記載の液晶表示制御装置。

【請求項9】 前記電源回路により生成された電圧に基づいて液晶パネルのセグメント電極を駆動する信号を出力するセグメント駆動回路と、前記電源回路により生成された電圧に基づいて液晶パネルのコモン電極を駆動する信号を出力するコモン駆動回路とをさらに備え、

前記コモン駆動回路を構成する素子は前記液晶駆動用電源回路を構成する素子よりも耐圧の高いMOSFETで構成され、前記スイッチ素子は前記コモン駆動回路を構成する素子と同一構造の高耐圧MOSFETで構成されていることを特徴とする請求項8に記載の液晶表示制御装置。

【請求項10】 外部から電源電圧を供給されている状態で液晶表示を行なう第1の動作モードと、外部から電源電圧を供給されている状態で液晶表示を行わない第2の動作モードとを備えた液晶表示制御装置であって、

前記第2の動作モードから第1の動作モードへ移行する際に、前記スイッチ素子が一時的に導通されて、上記負電圧が印加されるべき基板に一時的に接地電位が印加されるように構成されてなることを特徴とする請求項5～9のいずれかに記載の液晶表示制御装置。

【請求項11】 発振回路を備え、外部から電源電圧を供給されている状態で前記発振回路が動作され液晶表示を行なう第1の動作モードと、外部から電源電圧を供給されている状態で前記発振回路の動作が停止され液晶表示を行わない第3の動作モードとを備えた液晶表示制御装置であって、前記第3の動作モードから第1の動作モードへ移行する際に、前記スイッチ素子が一時的に導通されて、上記負電圧が印加されるべき基板の電位を一時的に接地電位にさせるように構成されてなることを特徴とする請求項5～10のいずれかに記載の液晶表示制御装置。

【請求項12】 前記スイッチ素子をオン、オフ制御するための信号が入力される外部端子を備えたことを特徴とする請求項5に記載の液晶表示制御装置。

【請求項13】 請求項5～12のいずれかに記載の液晶表示制御装置と、

前記セグメント駆動回路により生成された信号および前記コモン電極駆動回路により生成された信号に基づいてドットマトリックス方式で表示を行なう液晶パネルと、

上記液晶表示制御装置の電源電圧を与える電池とを備えた携帯用電子機器。

【請求項14】 外部電源電圧を受けて液晶パネルのセグメント電極に印加される電圧および前記液晶パネルのコモン電極に印加される前記外部電源電圧よりも高い正電圧と接地電位よりも低い負電圧を発生する液晶駆動用電源回路と、上記負電圧を基板のバイアス電圧として給電する第1の配線と接地電位を供給する第2の配線との間に接続されたスイッチ素子と、該スイッチ素子をオン、オフ制御するための信号が入力される外部端子とを備えた液晶表示制御装置と、

前記液晶表示制御装置を制御する制御装置と、

前記液晶表示制御装置により生成されたセグメント電極駆動信号およびコモン電極駆動信号に基づいてドットマトリックス方式で表示を行なう液晶パネルと、

上記液晶表示制御装置の電源電圧を与える電池と、
を備え、前記制御装置から前記液晶表示制御装置の前記外部端子に対して前記スイッチ素子をオン、オフ制御するための信号が供給されるように構成された携帯用電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電源電圧を昇圧した電圧を発生する昇圧型電源回路を内蔵した半導体集積回路におけるラッチアップ防止技術に関し、例えば液晶表示装置を駆動する電圧を発生する液晶駆動用電源回路を内蔵した液晶表示制御用LSI（大規模半導体集積回路）並びにそれを搭載した携帯用電子機器に利用して有効な技術に関する。

【0002】

【従来の技術】

近年、携帯電話器やページャーなどの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に2次元配列されたドットマトリッ

クス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置や液晶パネルを駆動するドライバ回路もしくはそのようなドライバ回路を内蔵した表示制御装置が搭載されている。かかる半導体集積回路化された表示制御装置は5V以下の電圧で動作可能であるのに対し、液晶パネルの表示駆動には5~40Vのような駆動電圧を必要とするため、この表示制御装置には電源電圧を昇圧して液晶パネルを駆動する電圧を発生する液晶駆動用電源回路が内蔵されていることが多い。より具体的には、図14に示すように6V程度の振幅を有するセグメント線駆動電圧SEGと、その数倍の振幅(約40V)を有するコモン線駆動電圧COMとにより液晶パネルは駆動される。

【0003】

液晶駆動用電源回路における電源生成方式としては、図14(A)に示すようにコモン線駆動電圧COMの振幅の低い方のレベルVCOMLを接地電位(0V)に合わせ、それを基準にして他のレベルVCOMH, VSEGH, VSEGLを決定し必要な電圧を昇圧型電源回路で生成する方式と、図14(B)に示すようにコモン線駆動電圧COMの振幅の高い方のレベルVCOMHを電源電圧Vcc(例えば5V)に合わせ、それを基準にして他のレベルVCOML, VSEGH, VSEGLを決定し必要な電圧を昇圧型電源回路で生成する方式が考えられる。

【0004】

また、液晶駆動用電源回路にはオペアンプを用いた基準電圧回路やボルテージフォロワ回路などが用いられ、それらのオペアンプは昇圧された電圧を電源電圧として動作するが、上記のような電源生成方式の電源回路で発生される電圧はグランドに対して絶対値がかなり高いレベルになるため、昇圧した電圧を電源電圧とするオペアンプの消費電力が大きくなるという問題がある。

【0005】

【発明が解決しようとする課題】

本発明者らは、電源回路の低消費電力化を図るため、図14(C)に示すように、セグメント線駆動電圧SEGの振幅の低い方のレベルVSEGLを接地電位(0V)に合わせ、それを基準にして他のレベルVCOMH, VCOML, VSEGHを決定し外

部電源電圧を昇圧して生成する方式を採用することを検討した。ところが、図14（C）に示すような方式にあってはCMOS回路化したときにラッチアップ現象を起こしやすいという問題点があることがわかった。

【0006】

これは、図14（C）のような方式では、コモン線駆動電圧COMの電圧の振幅の低い方のレベルVCOMLが-15Vのようなレベルであるので、半導体基板とその表面の素子の活性領域との間のPN接合を逆バイアスにするには、この電源回路が搭載される半導体チップの半導体基板もしくはコモン線ドライバ回路が形成される半導体領域（ウェル領域）を-15Vのような負の電圧にバイアスしなければならないためである。ところが、基板が-15Vのような負電圧にバイアスされた半導体集積回路においては、電源を投入した直後は昇圧回路により充分な負電圧が発生されていないため、電源回路で発生された電圧が印加される半導体基板の電位が不安定になり、それが原因でラッチアップを起こしやすいという課題がある。

【0007】

このラッチアップ現象を、図15を用いて詳しく説明する。図15において、100はP型単結晶シリコンのような半導体基板、111a, 111bはこの基板の正面に形成されたN型ウェル領域、112はN型ウェル領域111aの表面に形成されたP型ウェル領域で、N型ウェル領域111aの表面にはドライバ回路以外のCMOSロジック回路（ロジック部）を構成するPチャネルMOSFETが形成され、P型ウェル領域112の表面には同じくCMOSロジック回路を構成するNチャネルMOSFETが形成されている。また、N型ウェル領域111bの表面にはドライバ回路（ドライバ部）を構成するPチャネルMOSFETが形成され、P型基板100の表面にはドライバ回路を構成するNチャネルMOSFETが形成されている。なお、ドライバ回路を構成するPチャネルMOSFETとNチャネルMOSFETは、ゲート絶縁膜が厚くされたり、ゲートとソース・ドレインとの間が離間されるなどして高耐圧化された素子である。

【0008】

上記のような構造において、N型ウェル領域111aにはウェル給電用のN型

領域113aを介して電源電位VDDが印加され、P型基板100には給電用のP型領域114bを介して、図示しない電源回路で発生された-15Vのような負電圧VCOMLが印加される。

【0009】

ところで、上記のような構造においては、ロジック部のPチャネルMOSFETのP型ソース領域114aとNウェル領域111aとP型基板100との間に寄生PNPトランジスタQs1が存在する。また、ドライバ部のNチャネルMOSFETのN型ソース領域113bと給電用のP型領域114bとP型基板100との間には寄生NPNトランジスタQs2が存在する。そして、寄生トランジスタQs1のコレクタとQs2のベースは共にP型基板100であり、Qs1とQs2は図示されているように接続された寄生サイリスタ構造を有する。そのため、電源投入直後に電源回路から給電用のP型領域114bに、図3(A)の期間T1に示すような不安定な電圧が印加されると、基板100の基板電位が変動して寄生トランジスタQs2に電流が流れ、これがトリガとなって寄生サイリスタがオンされて電流が流れ続けてしまうラッチアップ現象を起こすおそれがあることがわかった。

【0010】

なお、同じ負電圧を発生する図14(B)の方式の電源回路を備えた半導体集積回路の場合には、正の電圧は高くないので半導体基板として図14(A)の方式の電源回路を有する半導体集積回路と異なる導電型(例えばN型)の半導体基板を使用して逆の関係となるバイアス電圧を半導体基板に印加することで、比較的容易にラッチアップを防止することができる。

【0011】

また、図14(C)の方式の電源回路を備えた半導体集積回路においては、上記のようなラッチアップを回避するため電源回路の出力端子に接続された専用の外部端子を設け、この外部端子に寄生サイリスタよりも低い電圧でオンするダイオードを接続することが行なわれる。ところで、液晶表示システムにおける半導体集積回路の実装技術としては、液晶パネルとCPUなどの制御装置とを接続するプリント配線ケーブル上にチップを実装するTCP(Tape Carrier Package)

実装や液晶パネルを構成するガラス基板上に直接半導体チップを搭載するCOG (Chip On Glass) 実装などが実用化されている。

【0012】

この発明のうち、TCP実装方式を適用した場合には、上記外付けのダイオードを接続することによりラッチアップ現象を効果的に防止することができる。しかし、COG実装方式を適用した場合には、ガラス基板の表面に形成した高抵抗のITO (Indium Tin Oxide) などからなる配線を介してチップとダイオードとが接続されることとなるため、上記配線の寄生抵抗が高いため、外付けダイオードがオンされにくくなってしまう。そのため、OOG実装方式においては、上記外付けのダイオードを用いてもラッチアップ現象の発生を効果的に防止できないという課題があることが明らかとなった。

【0013】

なお、前述の正電圧方式 (図14 (A)) を採用した場合においては、半導体基板は負電圧ではなく接地電位にバイアスすれば良い。これにより、図15に示されている基板電位供給領域114bには電源投入直後から安定な接地電位が印加されるようになり寄生トランジスタQs2がオンされるおそれはないので、CMOS回路化に伴なう寄生サイリスタによるラッチアップ現象の防止は負電圧方式ほど厳しく行なう必要はない。また、ラッチアップ対策は、本発明のような回路によるものの他、図15において、2重ウェル構造 (PWEELLを負電圧VCOMLとし、P型基板100を接地電位GND) にすると、ウェル領域を深くするとかデバイス構造を工夫することでもある程度回避可能であるが、そのような対策にあってはプロセスが複雑になったりウェルの深さを正確に制御するため高度なプロセス技術が必要になるので、半導体チップのコストが高くなるという不具合がある。

【0014】

この発明は、電源回路を内蔵し特にCOG実装されるような半導体集積回路化された液晶駆動制御装置において、セグメント線駆動電圧の振幅の一方のレベルを接地電位に合わせて他の液晶駆動電圧のレベルを決定するようにしてもラッチアップを起こしにくいようにすることを目的としている。

【0015】

この発明の他の目的は、ラッチアップに対する強度が高い電源回路を内蔵した半導体集積回路を提供することにある。

【0016】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0017】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0018】

すなわち、本願の第1の発明は、外部電源電圧を受けて該外部電源電圧よりも高い正電圧と接地電位よりも低い負電圧を発生する電源回路（230）を内蔵した半導体集積回路であって、上記負電圧を半導体基板のバイアス電圧として給電する第1の配線（291）と接地電位を供給する第2の配線（292）との間に接続されたスイッチ素子（270）を備えているようにしたのである。

【0019】

より具体的には、電源回路（230）で発生された負電圧（VCOML）がバイアス電圧として半導体基板もしくはウェル領域に印加されるようにされた電源回路内蔵の半導体集積回路において、本来上記負電圧にバイアスされるべき半導体基板もしくはウェル領域に、電源回路の起動時に一時的に接地電位を印加するスイッチ素子（270）を設けるようにした。

【0020】

上記した手段によれば、電源回路の起動時に前記スイッチ素子を一時的に導通状態とさせることにより、電源回路の起動時に該電源回路の不安定な出力電圧が半導体基板にバイアス電圧として印加されるのを回避することができるため、電源回路の起動時に半導体基板のバイアス電位が揺れて寄生サイリスタに電流が流れでラッチアップを起こすのを防止することができる。

【0021】

また、望ましくは、前記スイッチ素子は、電源回路の起動時に一時的に導通させて、上記負電圧が印加されるべき半導体基板の電位を一時的に接地電位にさせるように構成する。これにより、電源回路の起動時に前記スイッチ素子を一時的に導通させる信号を外部から入力させる必要がない。

【0022】

さらに、望ましくは、前記電源回路を起動させるための制御信号に基づいて前記スイッチ素子を一時的に導通状態にさせる制御信号を生成する制御回路を設ける。この制御回路はリセット回路を利用することができる。これにより、電源回路の起動に前記スイッチ素子の導通を容易に同期させて、最適のタイミングで半導体基板の電位を安定化または固定化させることができる。

【0023】

また、前記スイッチ素子は、高耐圧のMOSFETで構成すると良い。これにより、半導体集積回路の耐久性を向上させることができる。

【0024】

さらに、本願の第2の発明は、外部電源電圧を受けて液晶パネルのセグメント電極に印加される電圧と、前記液晶パネルのコモン電極に印加される前記外部電源電圧よりも高い正電圧と接地電位よりも低い負電圧とを発生する液晶駆動用電源回路を備え半導体集積回路化された液晶表示制御装置において、上記負電圧を半導体基板のバイアス電圧として給電する第1の配線と接地電位を供給する第2の配線との間に接続されたスイッチ素子を設けるようにした。

【0025】

上記した手段によれば、電源回路の起動時に前記スイッチ素子を一時的に導通させることにより、電源回路の起動時に該電源回路の不安定な出力電圧が半導体基板にバイアス電圧として印加されるのを回避することができる。そのため、電源回路の起動時に半導体基板のバイアス電位が揺れて寄生サイリスタに電流が流れてラッチアップを起こすのを防止することができる。

【0026】

また、望ましくは、前記スイッチ素子は、電源回路の起動時に一時的に導通させて、上記負電圧が印加されるべき基板の電位を一時的に接地電位にさせるよう

に構成する。これにより、電源回路の起動時に前記スイッチ素子を一時的に導通させる信号を外部から入力させる必要がない。

【0027】

さらに、望ましくは、前記電源回路を起動させるための制御信号に基づいて前記スイッチ素子を一時的に導通状態にさせる制御信号を生成する制御回路を設ける。この制御回路はリセット回路を利用することができる。これにより、電源回路の起動に前記スイッチ素子の導通を容易に同期させて、最適のタイミングで基板の電位を安定化または固定化させることができる。

【0028】

また、前記スイッチ素子は、高耐圧のMOSFETで構成すると良い。これにより、半導体集積回路の耐久性を向上させることができる。

【0029】

さらに、前記電源回路により生成された電圧に基づいて液晶パネルのセグメント電極を駆動する信号を出力するセグメント駆動回路と、前記電源回路により生成された電圧に基づいて液晶パネルのコモン電極を駆動する信号を出力するコモン駆動回路とを同一半導体基板上に備えた液晶表示制御装置において、前記コモン駆動回路を構成する素子は前記液晶駆動用電源回路を構成する素子よりも耐圧の高いMOSFETで構成され、前記スイッチ素子は前記コモン駆動回路を構成する素子と同一構造の高耐圧MOSFETで構成されるようにする。これにより、何ら新たなプロセスを追加することなく、電源回路の起動時に半導体基板の電位を安定化ないし固定化させるスイッチ素子を形成することができる。

【0030】

また、外部から電源電圧を供給されている状態で液晶表示を行なう第1の動作モードと、外部から電源電圧を供給されている状態で液晶表示を行なわない第2の動作モードとを備えた液晶表示制御装置において、前記第2の動作モードから第1の動作モードへ移行する際に、前記スイッチ素子が一時的に導通されて、上記負電圧が印加されるべき基板の電位を一時的に接地電位にさせるように構成する。あるいは、発振回路を備え、外部から電源電圧を供給されている状態で前記発振回路が動作され液晶表示を行なう第1の動作モードと、外部から電源電圧を

供給されている状態で前記発振回路の動作が停止され液晶表示を行なわない第3の動作モードとを備えた液晶表示制御装置において、前記第3の動作モードから第1の動作モードへ移行する際に、前記スイッチ素子が一時的に導通されて、上記負電圧が印加されるべき基板に一時的に接地電位が印加されるように構成する。これにより、電源投入時のみでなく、内部の動作モードが変化するときにもラッチアップが発生するのを防止することができる。

【0031】

さらに、前記スイッチ素子をオン、オフ制御するための信号が入力される外部端子を設けるようにしても良い。これにより、半導体基板の電位を安定化ないし固定化させるスイッチ素子を制御する信号を生成する回路を液晶表示制御装置の内部に設けることなくラッチアップを防止することができ、液晶表示制御装置の回路の設計が容易となるとともに、チップコストを低減することができる。

【0032】

本願の第3の発明に係る携帯用電子機器は、上記のような構成を有する液晶表示制御装置と、前記セグメント駆動回路により生成された信号および前記コモン電極駆動回路により生成された信号に基づいてドットマトリックス方式で表示を行なう液晶パネルと、上記液晶表示制御装置の電源電圧を与える電池とを備えるようにした。これにより、表示画質が良好であるとともに低消費電力で長時間の電池駆動が可能な携帯用電子機器を実現することができる。

【0033】

【発明の実施の形態】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

【0034】

先ず、本発明を適用して有効な昇圧型電源回路を内蔵した半導体集積回路の一例としての液晶表示制御用半導体集積回路200を、図1を用いて説明する。図1は、昇圧型電源回路を内蔵した液晶コントロールドライバ200とこのドライバにより駆動される液晶パネル300とからなる液晶表示装置の構成を示すブロック図である。

【0035】

図1において、200は液晶コントロールドライバLSI、300はこの液晶コントロールドライバLSI200により駆動される液晶パネルである。液晶コントロールドライバLSI200は、液晶パネル300のセグメント電極（セグメント線）を駆動するセグメントドライバ210、液晶パネル300のコモン電極（コモン線）を駆動するコモンドライバ220、これらのドライバに必要とされる駆動電圧を発生する液晶駆動用電源回路230、液晶パネル300に表示すべき画像データをピットマップ方式で記憶する表示用RAM240、外部のマイクロプロセッサ（以下、MPU又はCPUとも言う）等からの指令に基づいてチップ内部全体を制御する制御部250等を備え、これらの回路は単結晶シリコンのような1個の半導体チップ上に構成されている。尚、LSI200は、電源電圧VDDが供給される外部端子と接地電位が供給される外部端子とを有する。

【0036】

図示しないが、この液晶コントロールドライバ200には、表示用RAM240に対するアドレスを生成するアドレスカウンタや、表示用RAM240から読み出されたデータと外部のMPU等から供給された新たな表示データとに基づいてすかし表示や重ね合わせ表示のための論理演算を行なう論理演算手段、上記セグメントドライバ210およびコモンドライバ220に対する動作タイミング信号を生成するタイミング生成回路などが設けられている。

【0037】

なお、前記制御部250の制御方式としては、外部のMPUからコマンドコードを受けるとこのコマンドをデコードして制御信号を生成する方式や予め制御部内に複数のコマンドコードと実行するコマンドを指示するレジスタ（インデックスレジスタと称する）とを備え、MPUがインデックスレジスタに書き込みを行なうことで実行するコマンドを指定して制御信号を生成する方式など任意の制御方式をとることができる。

【0038】

このように構成された制御部250による制御によって、液晶コントロールドライバ200は、外部のMPUからの指令およびデータに基づいて上述した液晶パネル300に表示を行なう際に、表示データを表示用RAM240に順次書き

込んでいく描画処理を行うと共に、表示RAM用240から順次表示データを読み出す読み出し処理を行なって液晶パネル300のセグメント電極に印加する信号およびコモン電極に印加する信号をドライバ210, 220により出力させることにより液晶表示が行なわれる。

【0039】

図2は、本発明を適用した液晶コントロールドライバにおけるラッチアップ防止用の制御回路としてのリセット回路の実施例を示す。なお、210はセグメントドライバ、220はコマンドドライバ、230は液晶駆動用電源回路である。液晶駆動用電源回路230で発生された例えば-15Vのような負電圧のコモン電圧VCOMLがコマンドドライバ210に供給されるとともに、半導体基板100に基板バイアス電圧として印加されている。

【0040】

この実施例では、電源投入時やスリープモードあるいはスタンバイモードから通常動作状態に復帰する際に、液晶駆動用電源回路230を起動させるために前記制御部250から供給される電源起動信号STによって制御されるリセット回路260と、該リセット回路260からの信号RSにより電源回路の起動時に、電源回路の動作が安定するまでの短い時間（例えば3～5m秒）だけ基板電位（第1基準電圧）を接地電位に固定させるためのグランド短絡用スイッチ270が設けられている。

【0041】

このグランド短絡用スイッチ270は、例えばMOSFETにより構成され、ソース（もしくはドレイン）にグランド用配線291が接続され、ドレイン（もしくはソース）に基板表面の給電用のP型領域114bへ電源回路230からの負電圧（第2基準電圧）VCOMLを基板バイアス電圧として供給する配線292が接続される。また、グランド短絡用スイッチ270は、電源回路230が起動されている間は負の高電圧VCOMLが印加されるので、高耐圧のMOSFETで構成するのが望ましい。さらに、グランド短絡用スイッチ270は、オン抵抗を小さくするためロジック回路を構成する素子に比べてゲート幅を大きくするなどの工夫を施すのが望ましい。図2においてデバイス構造自体は図15と同一であるの

で、その説明は図15の説明を参照可能であり、省略される。

【0042】

図3には、このリセット回路260及びグランド短絡用スイッチ270がない場合とある場合における基板電位の変化の様子を示す。リセット回路260及びグランド短絡用スイッチ270がない場合には、図3(A)のようにシステムの電源が投入されてから電源回路230が起動されるまでの期間T1は、基板電位が変動することによりラッチアップの原因となる電流が流れるおそれがある。これに対し、リセット回路260及びグランド短絡用スイッチ270がある場合には、図3(B)のようにシステムの電源が投入されて次に電源回路230が起動されてから所定時間T2が経過するまでの時間($T1 + T2$)だけ、グランド短絡用スイッチ270がオンされることにより、基板電位が接地電位GNDに固定される。そのため、ラッチアップの原因となる電流が基板に流れるのが防止される。

【0043】

図4には、上記リセット回路260の具体的な回路例が示されている。図4において、MOSFETを現わす記号のゲート部分に○印が付されているのはPチャネル型のMOSFETで、○印が付されていないNチャネルMOSFETと区別される。

【0044】

この実施例のリセット回路260は、一方の入力端子に前記電源回路の起動信号STを反転した信号/ $\bar{S}T$ が、また他方の入力端子に電源回路に供給されるクロック信号 $\phi 1$ (または $\phi 2$) が入力されたNORゲート261と、該NORゲート261の出力端子に接続されたブースト用の容量262と、該容量262の他方の端子に接続されたダイオードとして作用するMOSFET263と、該MOSFET263のドレインと接地点との間に接続された蓄積用容量264と、上記ブースト用容量262の他方の端子と接地点との間に接続され上記起動信号/ $\bar{S}T$ がゲートに印加されたスイッチMOSFET265と、上記蓄積用容量264と並列に接続され上記起動信号/ $\bar{S}T$ がゲートに印加されたスイッチMOSFET266と、上記蓄積用容量264の充電側の端子(ノードn1)に入力端

子が印加された第1のインバータ267と、インバータ267の出力を反転する第2のインバータ268と、インバータ268の出力を反転する第3のインバータ269とを備えており、ブースト用容量262とMOSFET263と蓄積用容量264とによりチャージポンプが構成されている。また、上記ノードn1およびMOSFET263と265との接続ノードn0と電源電圧端子VDDとの間には、それぞれ表示開始信号DSの反転信号/DSによりオン、オフ制御されるプルアップ用のMOSFET Qp1, Qp2が接続されている。

【0045】

上記インバータ267～269のうち最終段の第3のインバータ269は、電源電圧VDDの端子と昇圧電圧VCOMLの端子との間に直列に接続されたPチャネルMOSFET Q1とNチャネルMOSFET Q2とから構成されており、P-MOS Q1のゲートに前記起動信号STが印加され、N-MOS Q2のゲートに前段のインバータ268の出力信号が印加されている。インバータ269の低電位側の電源電圧が昇圧電圧VCOMLであるのは、基板にバイアス電圧として昇圧電圧VCOMLが印加されている状態でグランド短絡用スイッチ270を構成するMOSFETが確実にオフ状態になるようにするために、つまり短絡用スイッチ270の制御信号のロウレベルがVCOMLとなるようにするためである。

【0046】

次に、上記リセット回路260の電源投入時の動作を、図5を用いて説明する。

【0047】

電源電圧VDDが投入されると、電源投入直後は起動信号STがロウレベルであるためリセット回路260の最終段のインバータ269を構成するP-MOS Q1がオンされる。また、表示は開始されないのでハイレベルの表示制御信号/DSによりプルアップ用MOSFET Qp1, Qp2はオフされているとともに、電源投入直後の起動信号/STはハイレベル(VDD)であるためスイッチ265, 266がオンされてチャージポンプの充電ノードn1の電位Vn1は0Vにされているので、インバータ267の出力はハイレベル(VDD)、そしてインバータ268の出力はロウレベル(GND)となる。これによって、N-MOS

Q2はオフされる。そのため、グランド短絡用スイッチ270はオン状態とされる。その結果、起動信号STがロウレベルである電源投入直後の期間T1の間は、オン状態のスイッチ270を介して基板100に対して接地電位が印加されてそのレベルが固定される。これによって、期間T1におけるラッチアップの発生が防止される。

【0048】

次に、電源投入後、T1時間経過すると電源回路230の起動信号STがハイレベルに変化される（図5のタイミングt1）。すると、スイッチ265, 266がオフされるとともに、NORゲート261が開かれる。また、これと同期して図示しない発振回路から昇圧用クロック ϕ 1, ϕ 2が電源回路230に供給されて、電源回路230が昇圧動作を開始するとともに、この昇圧用クロック ϕ 1（または ϕ 2）がリセット回路260に供給される。すると、このクロックが開かれているNORゲート261を介して、容量262, 264とダイオードMOSFET263からなるチャージポンプに供給されて、チャージポンプが昇圧動作を開始して充電ノードn1の電位Vn1が徐々に上昇する（図5の期間T2）。

【0049】

一方、このとき、起動信号STがハイレベルに変化されることにより、最終インバータ269のP-MOS Q1がオフされても、N-MOS Q2もオフされているため、出力ノードn2に蓄積されている電荷によりグランド短絡用スイッチ270はオン状態を維持する。なお、期間T2は3~5msという短い時間に設定されているため、その間にインバータ269の出力ノードn2の電荷がリークしてグランド短絡用スイッチ270がオフされることはない。これによって、基板100には接地電位が印加され続け、期間T2におけるラッチアップの発生も防止される。

【0050】

そして、起動信号STがハイレベルに変化された後、T2時間経過した時点（図5のタイミングt2）で、チャージポンプの充電ノードn1の電位Vn1がインバータ267の論理しきい値を超える。すると、インバータ267の出力がロ

ウレベルに、またインバータ268の出力がハイレベルに変化し、最終インバータ269のN-MOS Q2がオン状態にされ、出力リセット信号RSはVCOMLとなる。これによって、グランド短絡用スイッチ270がオフされ、基板100には出力され始めた電源回路230の昇圧電圧VCOMLが印加されるようになる。

【0051】

なお、この負電圧VCOMLが完全に安定する前にN-MOS Q2がオンされるため、期間T2が経過してもしばらくはリセット信号RSのレベルは昇圧電圧VCOMLと共に変化する。しかし、この変化はグランド短絡用スイッチ270を介して基板100に供給されるバイアス電圧の変化と連動しているので、バイアス電圧が変化している間もグランド短絡用スイッチ270はオフ状態を維持する。その後、液晶表示の開始を指示する信号DSがハイレベルにされ、その反転信号/DSがロウレベルにされるとプルアップ用のMOSFET Qp1, Qp2がオンされて、表示期間中ノードn0, n1の電位をVDDに保持させるので、リセット回路260へのクロックφ1の供給を止めてもリセット信号RSはロウレベル(VCOML)を維持する。クロックを止めることでリセット回路のチャージポンプ動作を停止させ、無駄な消費電力を減らすことができる。

【0052】

以上、電源投入時のリセット回路の動作について説明したが、携帯電話器などに使用される液晶コントローラドライバのようなLSIにおいては、前記昇圧用クロックφ1, φ2やロジック部(制御部)の動作クロックを生成するための発振回路を内蔵し、例えば携帯電話器における待ち受け時のような液晶表示およびロジック動作が不要な所定のモード(以下、これをスリープモードと称する)では発振回路の動作そのものを停止したり、液晶表示は不要でもロジック部は動作する所定のモード(以下、これをスタンバイモードと称する)では液晶駆動用電源回路の動作は停止させるが発振回路は動作させことがある。従って、このようなスリープモードやスタンバイモードから通常動作モードに復帰すべく液晶駆動用電源回路を起動させる際にも、上記リセット回路260を動作させて基板100の電位を安定させ、ラッチアップが起きるのを防止するように構成することも可能である。なお、スタンバイモードは、例えば携帯電話器では待ち受け中に

定期的な基地局との交信を行なうような場合である。

【0053】

図6には、本実施例に用いられる昇圧型電源回路の具体例を示す。

【0054】

図6の液晶駆動用電源回路は、電源電圧VDDを昇圧して液晶パネルのセグメント電極の駆動に必要な電圧VSEGHよりも若干高い電圧VDD2を発生するチャージポンプなどからなる昇圧回路10と、該昇圧回路10で昇圧された電圧VDD2を電源として動作して液晶駆動電圧を発生するのに必要な基準となる電圧を発生する基準電圧回路11と、発生された基準電圧を抵抗分割して複数の所望レベルの基準電圧を生成するラダー抵抗からなる分圧回路12Aと、昇圧回路10で昇圧された電圧VDD2を電源として動作しつつ上記分圧回路12Aで生成された電圧を基準電圧として液晶パネルのセグメント電極の駆動に必要な電圧VSEGH、VSEGLおよび液晶中心電位VMIDを発生するボルテージフォロワ13A、13Bと、基準電圧回路11で発生された基準電圧を抵抗分割してコモン側の昇圧に必要な基準電圧を生成するラダー抵抗からなる第2の分圧回路12Bと、昇圧回路10で昇圧された電圧VDD2を電源として動作しつつ上記分圧回路12Bで生成された電圧を基準電圧として液晶パネルのコモン印加電圧生成のための基準電位VCI2を発生するボルテージフォロワ13Cと、該ボルテージフォロワ13Cの出力に基づいて液晶パネルのコモン電極の駆動に必要な電圧VCOMH、VCOMLを発生するチャージポンプなどからなる第2の昇圧回路20とから構成されている。

【0055】

上記基準電圧回路11は、非反転入力端子に液晶駆動用の基準電圧Vrefが印加された差動アンプAMPと、該差動アンプの出力端子と接地点との間に接続された可変抵抗Rvと固定抵抗Rcとからなる可変抵抗分割回路30とからなり、可変抵抗分割回路30でアンプの出力Voutを抵抗分割した電圧が差動アンプAMPの反転入力端子にフィードバックされるように構成され、基準電圧Vrefの $(Rv + Rc) / Rv$ 倍の電圧Voutを出力する。例えば $Rv = Rc$ に設定すればVREFの2倍の電圧Voutを出力させることができる。また、可変抵抗Rvの値を適宜設定することで出力電圧Voutすなわちセグメント電圧VSEGH

を調整することができる。なお、基準電圧 V_{ref} は例えばバンドギャップリファレンス回路のような温度依存性および電源電圧依存性の小さな基準電圧発生回路から供給されるのが望ましい。

【0056】

本実施例の液晶駆動用電源回路においては、基準電圧回路 11 やボルテージファオロワ 13A～13C を構成するアンプの電源電圧は第 1 の昇圧回路 10 で昇圧された電圧 V_{DD2} であり、セグメント電圧 V_{SEGL} ～ V_{SEGH} およびコモン電圧 V_{COML} ～ V_{COMH} が、それぞれ例えば 0～6V と -14～20V で外部電源電圧 V_{DD} が 2.7V の場合には、昇圧電圧 V_{DD2} は 6～8V すなわち 2.2 V_{DD} ～3 V_{DD} であれば良いので、昇圧電圧 V_{LCD} (約 40V) を電源電圧とする正の昇圧電圧方式 (図 14 (A) 参照) におけるアンプに比べて、アンプの消費電力を低減することができるとともに、アンプを構成する素子もそれほど耐圧の高いものを使用する必要がないので、回路の占有面積を小さくすることができる。

【0057】

図 7 には、上記第 2 の昇圧回路 20 の具体的な回路構成例を示す。液晶パネルに印加される電圧の波形を示す図 14 (C) を参照すると明らかに、コモン電極に印加される信号を生成するには、液晶中心電位 V_{MID} を中心にして上記昇圧電圧 V_{COMH} と極性が逆の負電圧 V_{COML} が必要である。

【0058】

本実施例においては、図 7 に示されているように、第 2 の昇圧回路 20 を、正極性のコモン電圧 V_{COMH} を発生するチャージポンプ 21 と、該チャージポンプの出力電圧を反転して負極性のコモン電圧 V_{COML} を生成する電圧反転回路 22 とから構成している。なお、第 1 の昇圧回路 10 は第 2 の昇圧回路 20 のチャージポンプ 21 と同一の構成でよいので、図示および説明を省略する。また、この実施例のチャージポンプ 21 および電圧反転回路 22 には、電源回路の起動信号 ST によってクロックの供給制御がなされる AND ゲート $G1, G2$ および $G3, G4$ が設けられており、起動信号 ST がロウレベルの間はクロック $\phi 1, \phi 2$ の供給が遮断されて昇圧動作を行なわず、起動信号 ST がハイレベルにされるとクロック $\phi 1, \phi 2$ が供給されて昇圧動作を開始するように構成されている。

【0059】

正のコモン電圧 VCOMH を発生する上記チャージポンプ 21 は、クロック信号 ϕ_1 によりオン、オフ動作されるスイッチ SW1～SW4 と、上記クロック信号 ϕ_1 とハイレベルの期間が重ならないように形成されたクロック信号 ϕ_2 (図8 参照) によりオン、オフ動作されるスイッチ SW5～SW7 と、スイッチ SW5, SW6 により直列形態にされる昇圧容量 C1, C2 と、出力端子 OUT1 に接続された出力の平滑容量 C3 とから構成されている。

【0060】

上記昇圧容量 C1 の低電位側の端子 C1- はスイッチ SW4 または SW7 を介して接地点または第1基準電位端子 T1 に接続可能にされているとともに、昇圧容量 C1 の高電位側の端子 C1+ はスイッチ SW3 を介して第2基準電位端子 T2 に接続可能にされている。また、上記昇圧容量 C2 の低電位側の端子 C2- はスイッチ SW2 を介して接地点に接続可能にされているとともに、昇圧容量 C2 の高電位側の端子 C2+ はスイッチ SW1 を介して第1基準電位端子 T1 に接続可能にされている。

【0061】

さらに、出力端子 OUT1 と上記昇圧容量 C2 の高電位側の端子 C2+ との間はスイッチ SW5 を介して接続可能にされているとともに、昇圧容量 C2 の低電位側の端子 C2- と昇圧容量 C1 の高電位側の端子 C1+ との間はスイッチ SW6 を介して接続可能にされている。そして、上記第1基準電位端子 T1 には前記ボルテージフォロワ 13C からの出力電圧 VCI2 が印加されている。なお、第1基準電位端子 T1 に接続されている容量 C10 は、前記ボルテージフォロワ 13C から出力される電圧を安定化させる容量である。

【0062】

上記のように構成されたチャージポンプ 20 は、クロック信号 ϕ_1 がハイレベルにされて図9 (A) のようにスイッチ SW1～SW4 がオン (このとき SW5～SW7 はオフ) されている間に昇圧容量 C1, C2 が基準電圧 VCI2 に充電される。そして、次に、スイッチ SW1～SW4 がオフされると代ってスイッチ SW5～SW7 がオン状態にされ、図9 (B) のように昇圧容量 C1, C2 が直列

形態になるとともに、昇圧容量C1の基準端側すなわち低電位側の端子C1-はスイッチSW7を介して第1基準電位端子T1に接続される。これによって、出力端子OUT1の電圧は3VCI2に押し上げられる。上記充電動作とブースト動作とを繰り返すことにより、昇圧容量C2に充電された電荷が出力端子OUT1に接続されている平滑容量C3へ転送され、3VCI2の昇圧電圧VCOMHが出力される。

【0063】

電圧反転回路22は、チャージポンプ21で発生された正の昇圧電圧VCOMHが印加される電圧端子Taと、前記ボルテージフォロワ13Bで生成された液晶中心電位VMIDが印加される第2基準電圧端子Tbと、電圧反転用容量C21と、該容量C21の一方の端子と上記電圧端子Taとの間および電圧端子Tbとの間にそれぞれ接続されたスイッチSW8、SW10と、電圧反転用容量C21の他方の端子と上記電圧端子Tbとの間および出力端子Tcとの間にそれぞれ接続されたスイッチSW9、SW11と、出力端子Tcと接地点との間に接続された負電圧用平滑容量C22とから構成されている。なお、第2基準電位端子T2に接続されている容量C20は、前記ボルテージフォロワ13Bから出力される電圧を安定化させる容量である。

【0064】

この実施例の電圧反転回路は、互いにハイレベル期間が重ならないようにされたクロック（図8のφ1、φ2参照）によりスイッチSW8およびSW9をオン、SW10、SW11をオフさせて、電圧反転用容量C21に正の昇圧電圧VCOMHと液晶中心電位VMIDとの電位差に相当する電圧を充電させた後、スイッチSW8およびSW9をオフ、またスイッチSW10とSW11をオンさせることで液晶中心電位VMIDを中心にして上記昇圧電圧VCOMHと極性が逆の負電圧VCOMLで、出力端子OUT2に接続されている平滑容量C22に充電させるように動作される。

【0065】

上記のようにこの実施例の液晶駆動用電源回路においては、コモン電圧VCOML、VCOMHを発生する第2の昇圧回路20がチャージポンプにより構成されている

ため、アンプを用いる場合に比べて電流効率も高くなる。すなわち、アンプでコモン電圧VCOML, VCOMHを発生するには、そのアンプの電源電圧としてコモン電圧VCOML, VCOMHよりもさらに高い電圧を必要とするため効率は悪くなるが、実施例のようにチャージポンプで昇圧された電圧で直接液晶パネルのコモン電極を駆動することにより電流効率が高くなる。

【0066】

ところで、チャージポンプは、電流効率は良いが電流供給能力は低いためパネルの負荷が大きいとチャージポンプの出力レベルは低下してしまう。しかるに、図14 (C) の波形を参照すると分るように、コモン電極を駆動する波形は周波数が低いため平均的な負荷は小さいので上記のようにチャージポンプでコモン電圧VCOML, VCOMHを発生しても全く問題はない。

【0067】

一方、セグメント電極を駆動する電圧波形はコモン電極を駆動する電圧波形よりもずっと頻繁に変化を繰り返すため平均的な負荷が大きいので、セグメント駆動電圧をチャージポンプで発生させるようにすると、パネルの表示を開始した直後にチャージポンプの出力が落ち込むおそれがある。そして、チャージポンプの出力が低下すると、出力電圧の精度が悪くなり液晶に直流電圧が印加されて液晶が劣化するおそれがあるとともに例えばカラー液晶表示パネルでは表示色がずれるなど良好な画質が得られないという不具合がある。ところが、上記実施例では、平均的な負荷が大きいセグメント電極の駆動電圧はボルテージフォロワで発生するようにしているため、電圧低下を起こすおそれがなく、これによって表示画質の劣化を回避することができる。

【0068】

なお、図7に示されている各容量素子C1～C3、C10、C20、C21、C22等は、図7の昇圧回路が搭載される半導体チップに対して外付け容量として接続される。この場合、外付け容量を接続するための外部端子と、昇圧した電圧VCOMHや負電圧VCOMLを供給する各配線の一部を上記外部端子まで引き出して接続するための配線とが半導体チップに設けられることとなる。

【0069】

また、既に説明したように、前記実施例においては、電圧反転回路21で生成された負電圧VCOMLが基板バイアス電圧として基板に給電する配線の途中に、ラッチアップ対策としてグランド短絡用スイッチ270が設けられているが、このような対策を施したLSIであってもさらにラッチアップ強度を高くするには、負電圧VCOMLを供給する配線を外部端子に引き出してその外部端子に外付けのダイオードを接続してやるのが望ましい。その場合、このラッチアップ防止用のダイオードは、生成された負電圧VCOMLを安定化されるための前記容量素子C22が接続される外部端子と共に接続させることができる。図7には、そのようなラッチアップ防止用のダイオードがD1として、電圧反転回路22の出力端子OUT2に接続されている様子が示されている。

【0070】

図10は、本発明を適用した液晶表示制御装置としての液晶コントロールドライバとこのドライバにより駆動される液晶パネルとからなる液晶表示システムの他の実施例を示すブロック図である。

【0071】

図10において、200は液晶コントロールドライバ、300はこの液晶コントロールドライバ200により駆動される液晶パネルである。液晶コントロールドライバ200は、液晶パネル300のセグメント電極を駆動するセグメントドライバ210、液晶パネル300のコモン電極を駆動するコモンドライバ220、これらのドライバに必要とされる駆動電圧を発生する液晶駆動用電源回路230、チップ内部全体を制御する制御部250等を備えている。これらの回路は単結晶シリコンのような1個の半導体チップ上に構成されている。そして、この実施例においても、電源回路230で生成された負電圧VCOMLを基板に供給する配線の途中に該配線をグランドに固定するための短絡用スイッチ270が設けられている。なお、353は、この液晶コントロールドライバ200を制御するマイクロプロセッサーないしはマイクロコンピュータMPUである。

【0072】

また、図示しないが、この液晶コントロールドライバ200には、表示データを記憶する表示用RAMに対するアドレスを生成するアドレスカウンタや、表示

用RAMから読み出されたデータと外部のMPU等から供給された新たな表示データに基づいてすかし表示や重ね合わせ表示のための論理演算を行なう論理演算手段、上記セグメントドライバ210およびコモンドライバ220に対する動作タイミング信号を生成するタイミング生成回路などが設けられている。なお、図示しないが、図1と同様に液晶パネル300に表示すべき画像データをビットマップ方式で記憶する表示用RAMを液晶駆動用電源回路と同一のチップ上に内蔵していくても良い。

【0073】

この実施例は、液晶コントローラドライバ200の制御部250に対する表示開始信号DSCや液晶駆動用電源回路に対する昇圧開始信号CST、グランド短絡スイッチ270のオン、オフ制御信号（リセット信号）RSTを、制御用のMPU353で生成して液晶コントロールドライバ200に供給するようにしたるものである。これを可能にするため、液晶コントローラドライバ200には外部のMPUなどから供給される上記各制御信号DSC、CST、RSTを受けるための外部端子281、282、283が設けられている。図11には、制御用のMPU353から液晶コントロールドライバ200に供給される上記各制御信号DSC、CST、RSTのタイミングが示されている。

【0074】

図11から分かるように、制御信号DSCにより電源回路230の動作が開始されてから所定時間T0が経過するまでは制御信号RSTがハイレベルにされて短絡用スイッチ270がオンされることにより、基板電位がグランドに固定され、ラッチアップの発生が防止される。そして、制御信号RSTがロウレベルにされて短絡用スイッチ270がオフされてしまらしくしてから制御信号DSCがハイレベルに変化されて、液晶の表示が開始されるようにされる。

【0075】

図12は、図1や図10の液晶コントロールドライバ200と液晶パネル300とからなる液晶表示装置の応用例としての携帯電話器の全体構成を示すブロック図である。

【0076】

この実施例の携帯電話器は、表示部としての液晶パネル300、送受信用のアンテナ321、音声出力用のスピーカ322、音声入力用のマイクロホン323、本発明を適用した液晶コントローラドライバ200、スピーカ322やマイクロホンの信号の入出力を行なう音声インターフェース330、アンテナ321との間の信号の入出力を行なう高周波インターフェース340、音声信号や送受信信号に係る信号処理を行うD S P (Digital Signal Processor) 351、カスタム機能（ユーザ論理）を提供するA S I C (Application Specific Integrated Circuits) 352、表示制御を含め装置全体の制御を行なうマイクロプロセッサもしくはマイクロコンピュータなどからなるシステム制御装置353およびデータやプログラムの記憶用メモリ360及び上記携帯電話器の電源とされる電池380等を備えてなる。上記D S P 351、A S I C 352およびシステム制御装置としてのM P U 353により、いわゆるベースバンド部350が構成される。

【0077】

特に制限されるものでないが、上記液晶パネル300は、多数の表示画素がマトリックス状に配列されたドットマトリックス方式のパネルである。なお、カラー表示の液晶パネルの場合、1画素は赤、青、緑の3ドットで構成される。また、メモリ360は、例えば所定のブロック単位で一括消去可能なフラッシュメモリ等から構成され、表示制御を含む携帯電話器システム全体の制御プログラムや制御データが記憶されると共に、2次元的な表示パターンとして文字フォント等の表示データが格納されたパターンメモリであるC G R O M (Character Generator Read Only Memory) としての機能を兼ね備えている。

【0078】

図13には、本発明を適用した液晶コントローラドライバ200を液晶パネル300にC O G (Chip on glass) 実装した状態の液晶モジュールを示す。

【0079】

図13において、370は液晶パネル300を構成するガラス基板、380はガラス基板370との間に液晶を狭持して表示部を構成する対向基板、371、372はガラス基板370上に形成され基板の一側に端部が集合されたI T Oな

どからなる引出し配線であり、この配線371, 372の端部と液晶コントローラドライバ200の対応する電極パッド（外部端子）との間に半田ボールなどを介在させて接着させることで液晶コントローラドライバ200が液晶パネル上に実装されている。

【0080】

また、500は上記液晶コントローラドライバ200を制御するマイクロプロセッサ（MPU）353および容量やダイオードなどの外付け素子390が実装されたプリント基板500で、このプリント基板500上のマイクロプロセッサ（MPU）353および外付け素子390と液晶パネル300側の液晶コントローラドライバ200とは、ガラス基板370の端部に設けられた端子にヒートシールなどを介して結合されたフレキシブルプリント基板FPC（Flexible Printed Circuit）510, 520により接続されている。さらに、液晶パネル300にはガラス基板370の端部の端子に接続された給電用のFPC530により電源電圧VDDおよび接地電位GNDが供給されるように構成されている。なお、ガラス基板370の端部の端子と液晶コントローラドライバ200との間もITOなどからなる配線373により接続されている。

【0081】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、チャージポンプ21で生成した正の電圧VCOMHを反転することで負電圧VCOMLを発生させる電圧反転回路22を設けているが、チャージポンプ21と同様な構成で直接的に負電圧を発生するチャージポンプを有する電源回路を搭載した半導体集積回路に対しても本発明を適用することができる。

【0082】

また、前記実施例の液晶コントローラドライバ200においては、P型単結晶基板を用いているが、N型基板を用いても良い。その場合、例えば、電源回路で発生されたVCOMHの様な正電圧が印加されるN型基板とVDD配線との間に電源短絡用スイッチを設けるか、もしくは、電源回路で発生されたVCOMLのような負電

圧が印加されるPウェル領域とグランド配線との間にグランド短絡用スイッチを設けて、電源立上がり時におけるウェル電位の変動を抑え、ラッチアップを防止するようにすれば良い。

【0083】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話器の液晶パネルを駆動する液晶コントロールドライバについて説明したがこの発明はそれに限定されるものでなく、例えば、ポケットベル、ページャー、PDA (Personal Digital Assistants) など液晶パネルを有する種々の携帯型電子機器に適用することができる。

【0084】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0085】

すなわち、本発明に従うと、電流のロスが少なくかつ精度の高い昇圧電圧を発生することが可能な電源回路を実現することができ、これによって液晶パネルを駆動する電圧を発生する液晶駆動用電源回路に適用した場合には液晶の劣化がなく高画質の表示が可能になるとともに、低消費電力で長時間の電池駆動が可能な液晶表示装置および携帯用電子機器を提供することができる。

【図面の簡単な説明】

【図1】

本発明を適用して有効な昇圧型電源回路内蔵の液晶コントロールドライバとこのLSIにより駆動される液晶パネルとからなる液晶表示装置の構成を示すブロック図である。

【図2】

本発明を適用した液晶コントロールドライバにおけるラッチアップ防止用のリセット回路の実施例を示すブロック図である。

【図3】

リセット回路及びグランド短絡用スイッチを設けない場合と設けた場合におけ

る基板電位の変化の様子を示す波形図である。

【図4】

リセット回路の具体的な回路例を示す回路図である。

【図5】

リセット回路の動作タイミングを示すタイミングチャートである。

【図6】

本発明を適用した液晶コントロールドライバにおける液晶駆動用電源回路の実施例を示すブロック図である。

【図7】

液晶駆動用電源回路を構成するコモン電圧を発生の第2の昇圧回路の実施例を示す回路図である。

【図8】

実施例の昇圧回路を動作させるクロック信号の波形例を示す波形図である。

【図9】

実施例の昇圧回路の動作を説明するための作用説明図である。

【図10】

本発明の他の実施例を示す液晶コントロールドライバとこのLSIにより駆動される液晶パネルとからなる液晶表示システムの構成例を示すブロック図である。

【図11】

第2の実施例における制御信号のタイミングを示すタイミングチャートである。

【図12】

本発明を適用した液晶コントロールドライバを備えた携帯電話器の全体構成を示すブロック図である。

【図13】

本発明を適用した液晶コントロールドライバの実装形態の一例を示す平面図である。

【図14】

液晶パネルの駆動方式の違いによるセグメント印加電圧VSEGとコモン印加電圧VCOMのレベルの違いを示す波形図である。

【図15】

液晶コントロールドライバのデバイス構造の一例を示す半導体基板の断面図である。

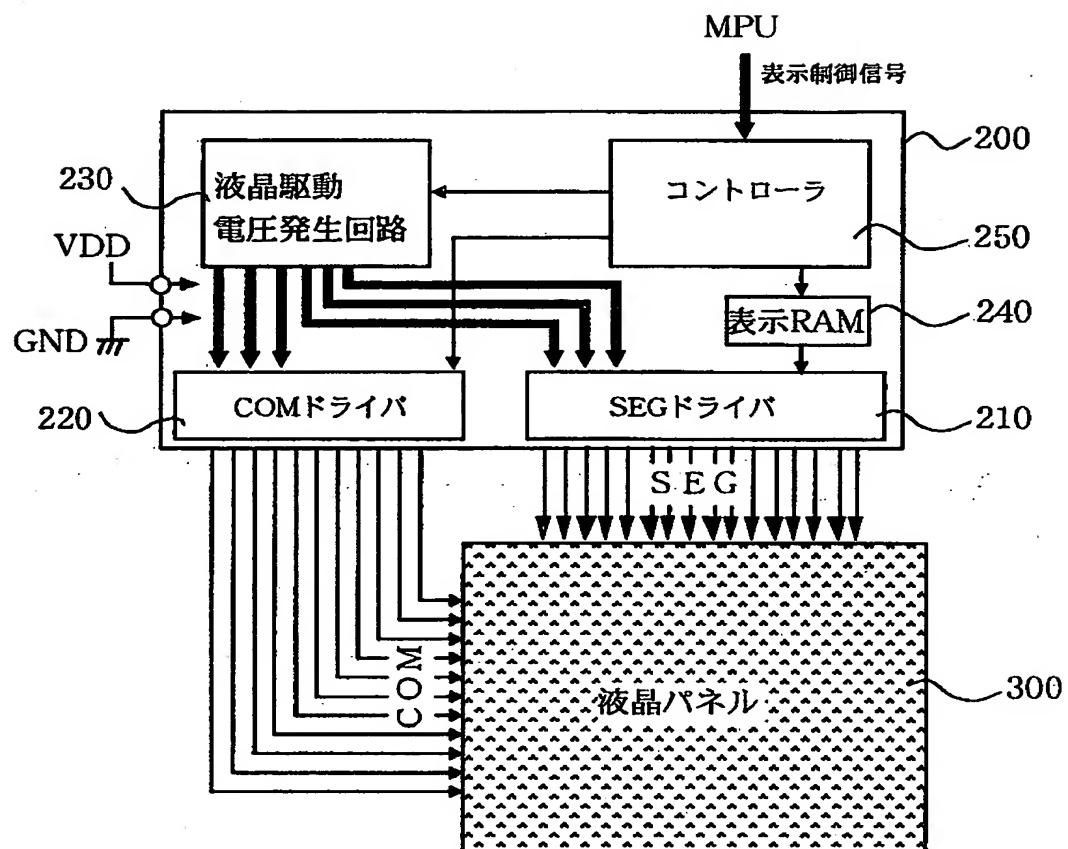
【符号の説明】

- 10 第1の昇圧回路
- 20 第1の昇圧回路
- 11 基準電圧回路
- 13A～13C ボルテージフォロワ
- 20 第2の昇圧回路
- 21 チャージポンプ
- 22 電圧反転回路
- 30 可変抵抗分割回路
- 100 半導体基板
- 114b 基板バイアス電圧給電用領域
- 200 液晶コントロールドライバ
- 210 セグメントドライバ
- 220 コモンドライバ
- 230 液晶駆動用電源回路
- 240 表示用RAM
- 250 制御部
- 260 リセット回路
- 270 グランド短絡用スイッチ
- 300 液晶パネル
- 370 ガラス基板
- 371, 372 ITO配線
- 510 FPC

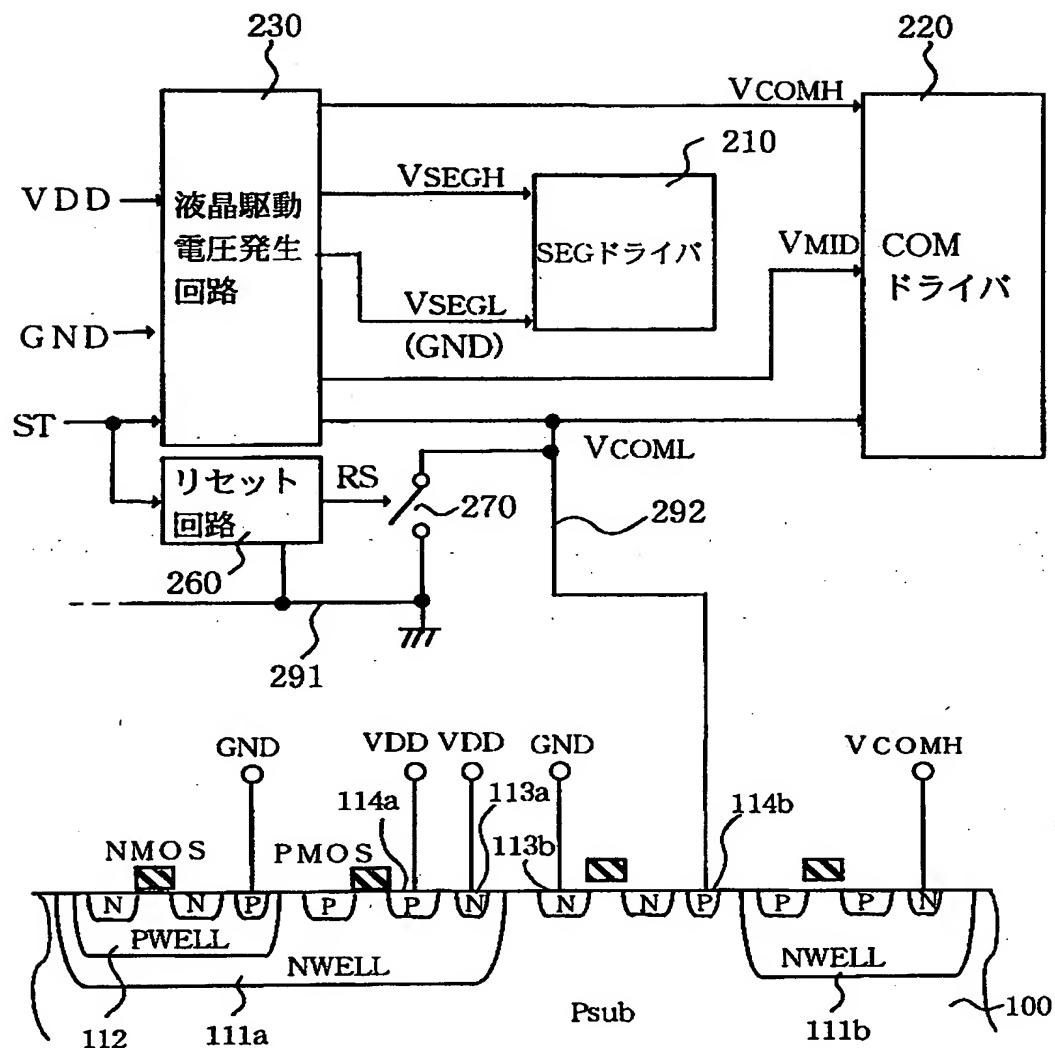
【書類名】

図面

【図1】

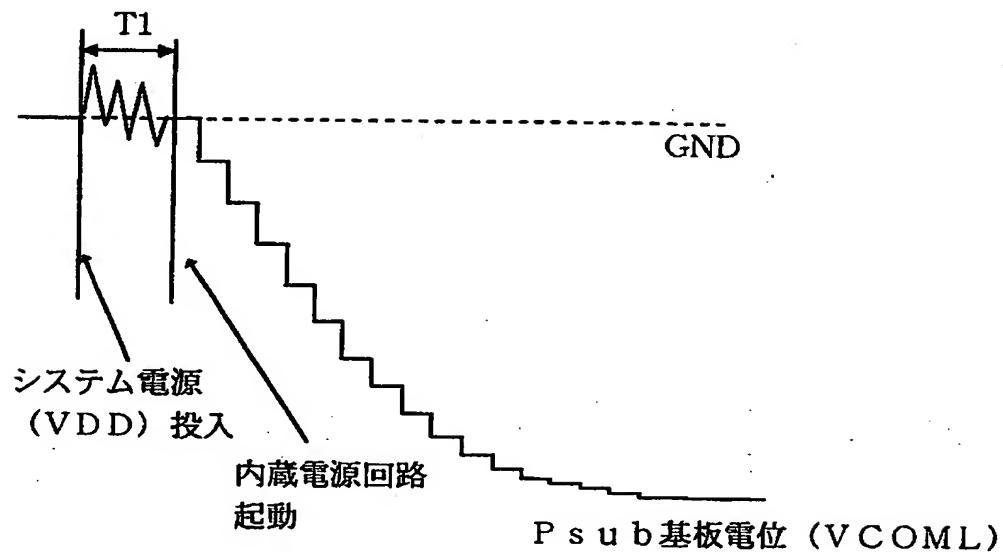


【図2】

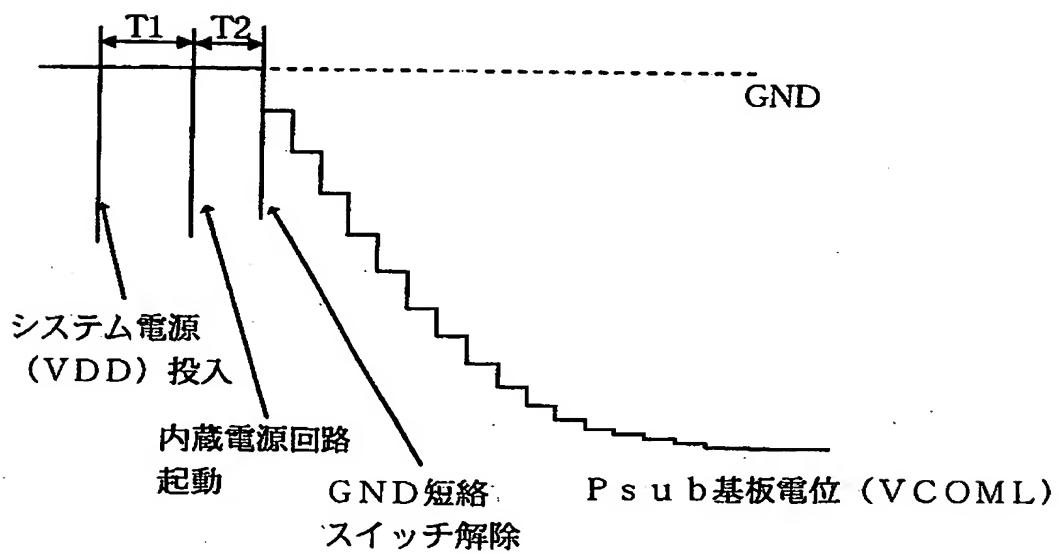


【図3】

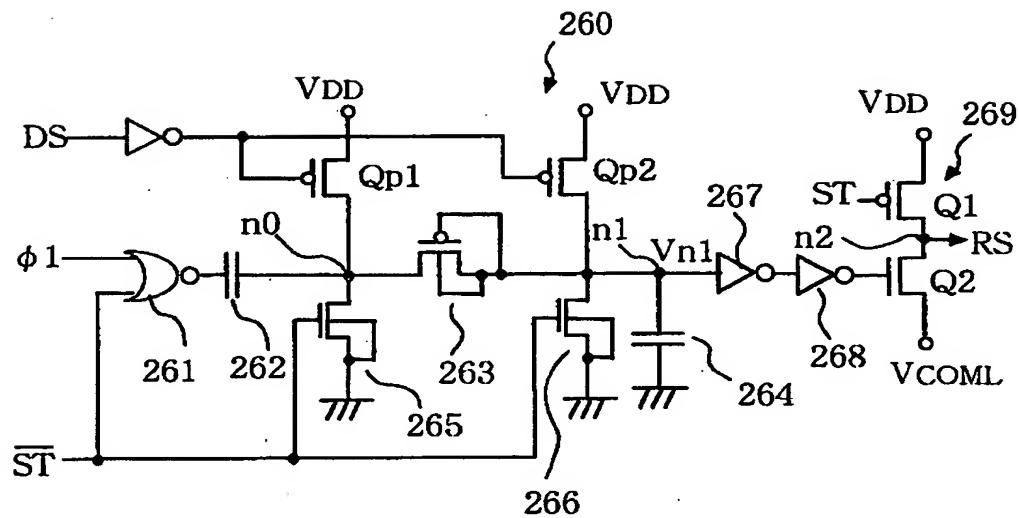
(A)



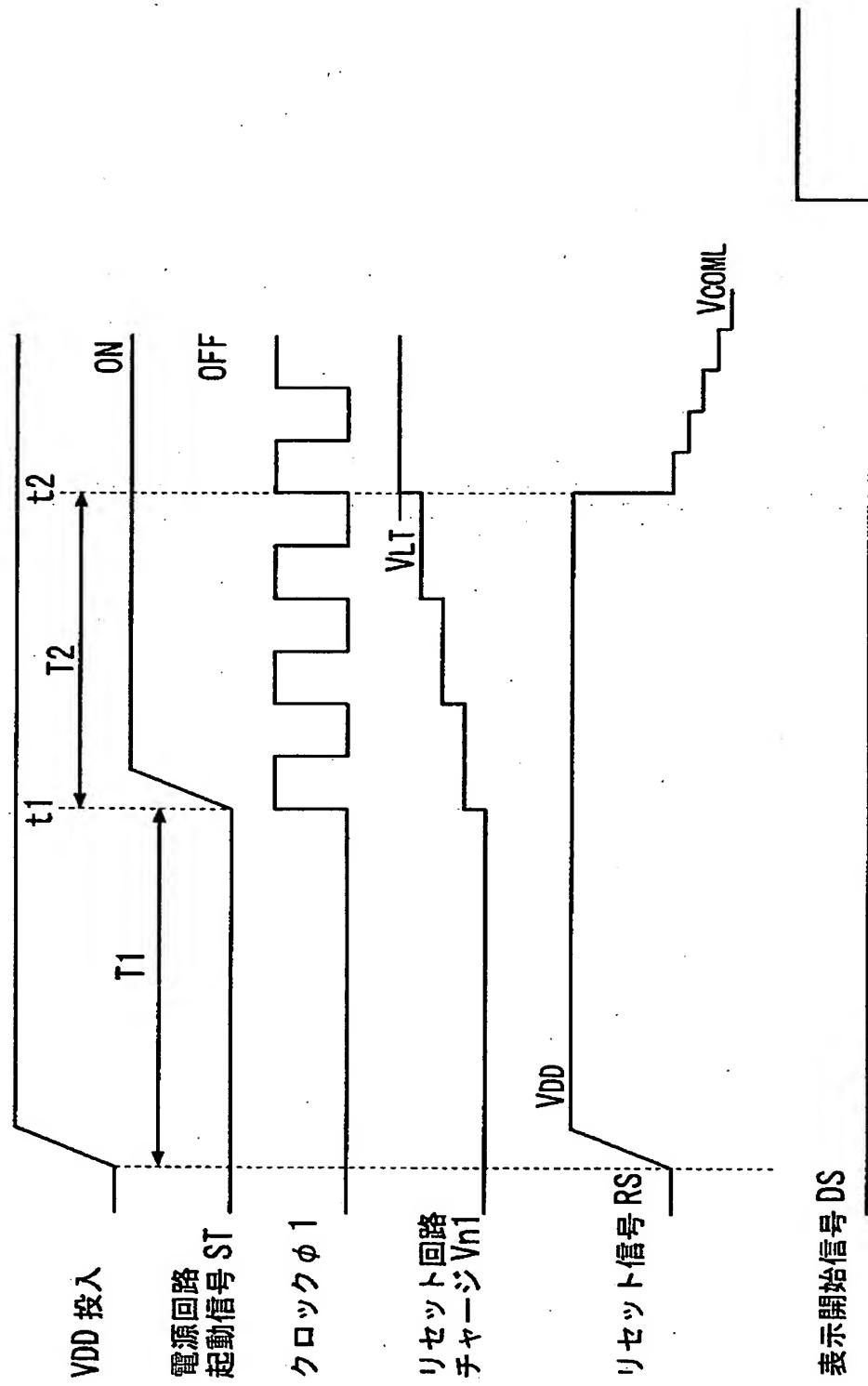
(B)



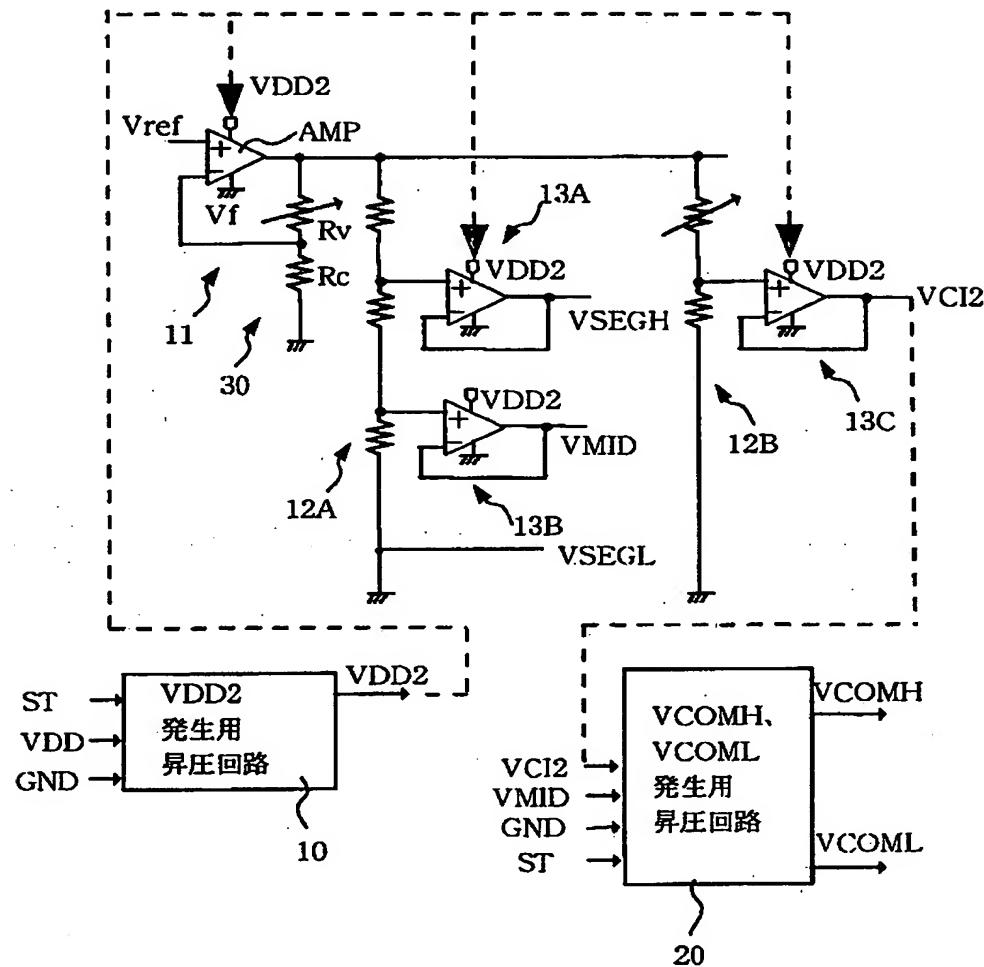
【図4】



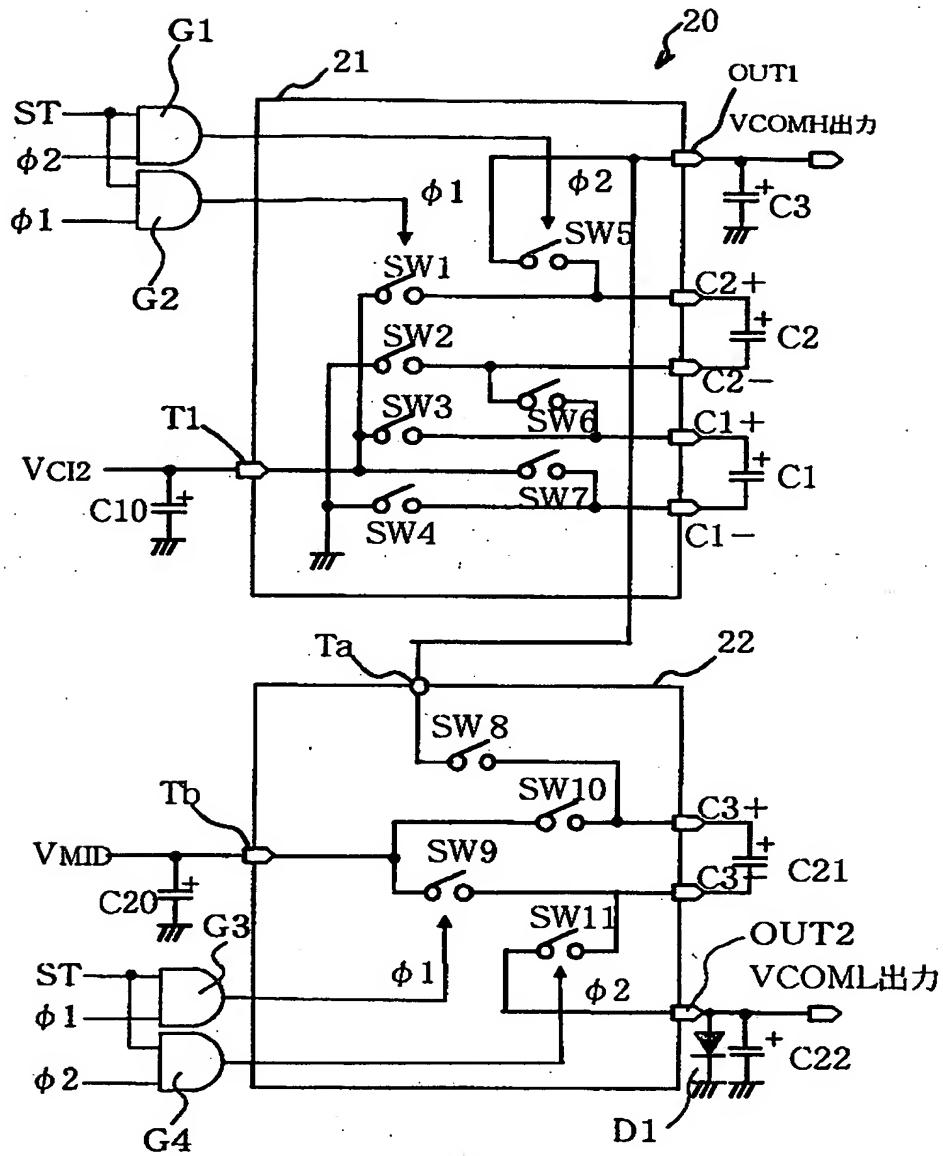
【図5】



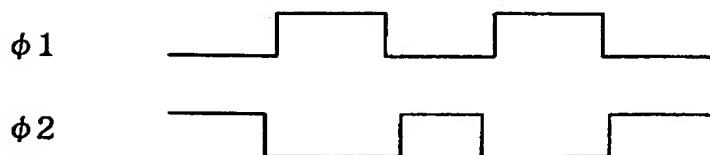
【図6】



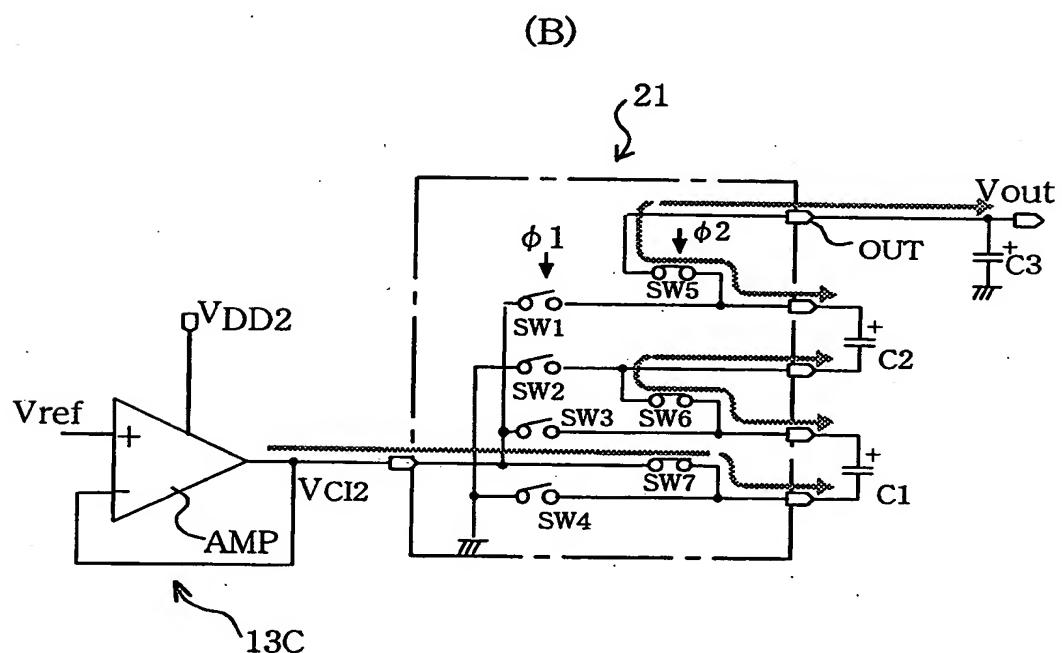
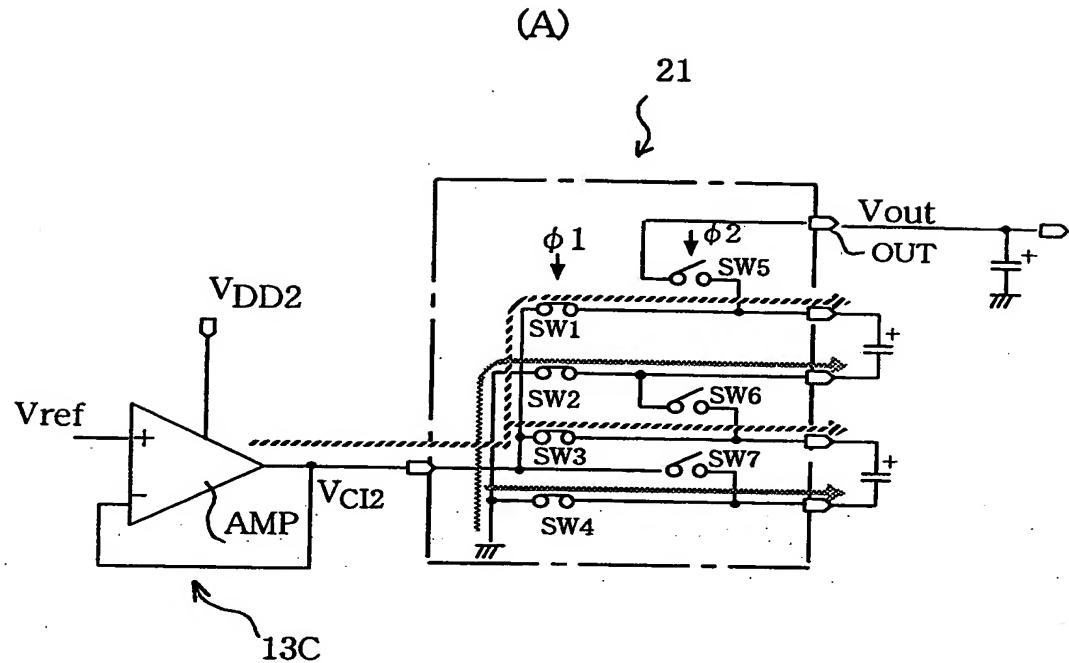
【図7】



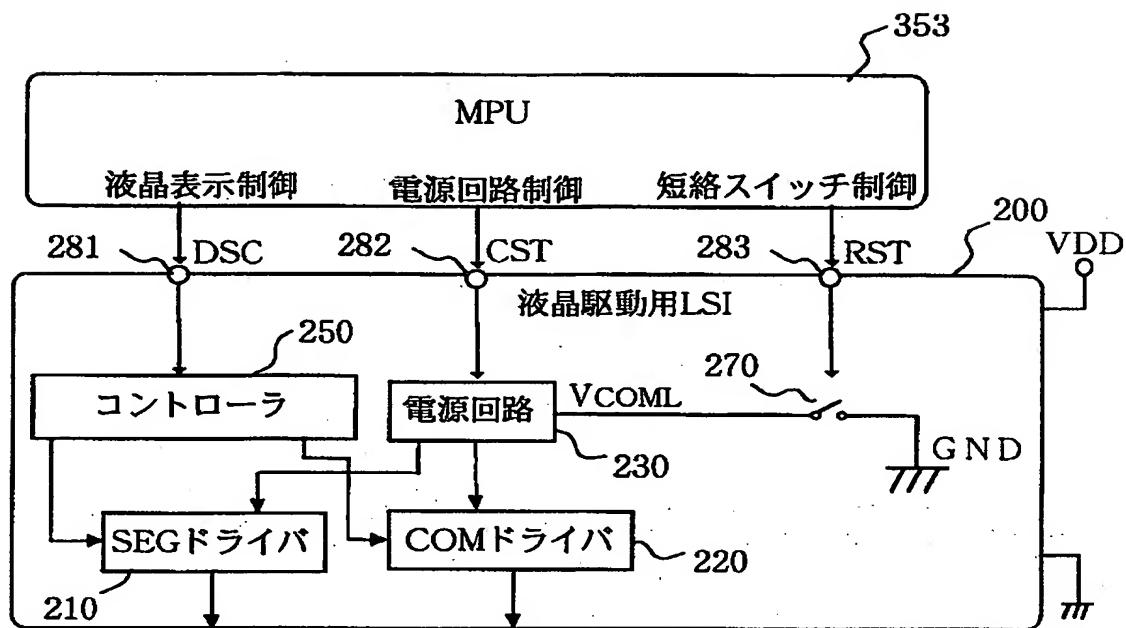
【図8】



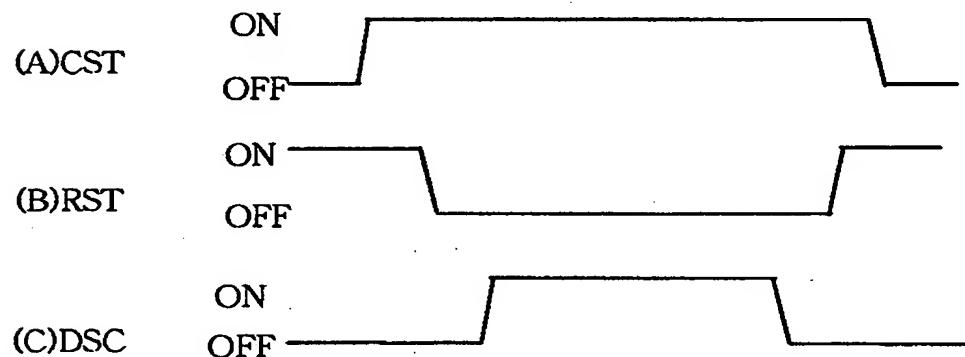
【図9】



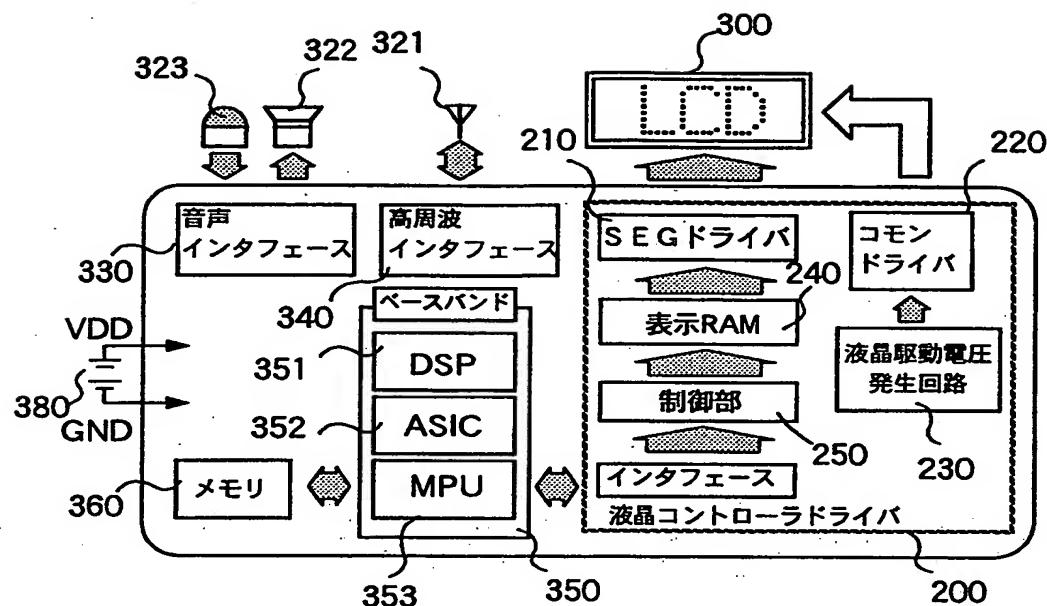
【図10】



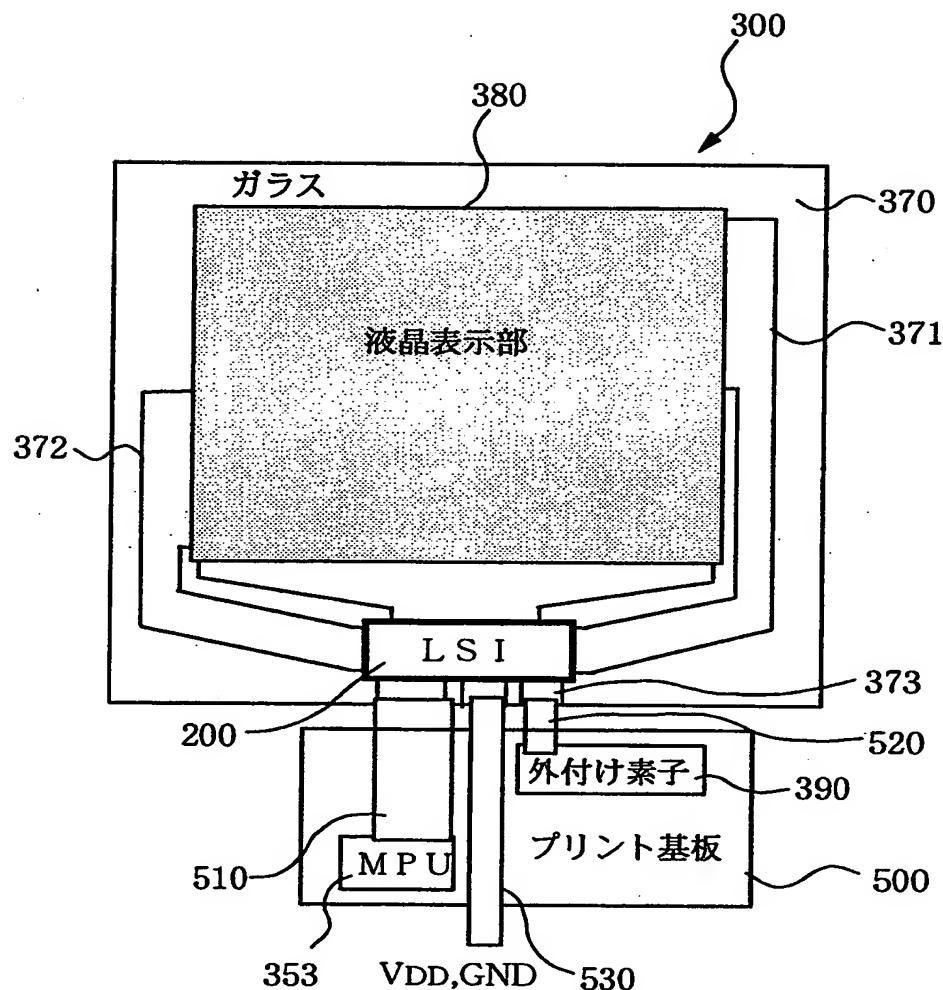
【図11】



【図1.2】

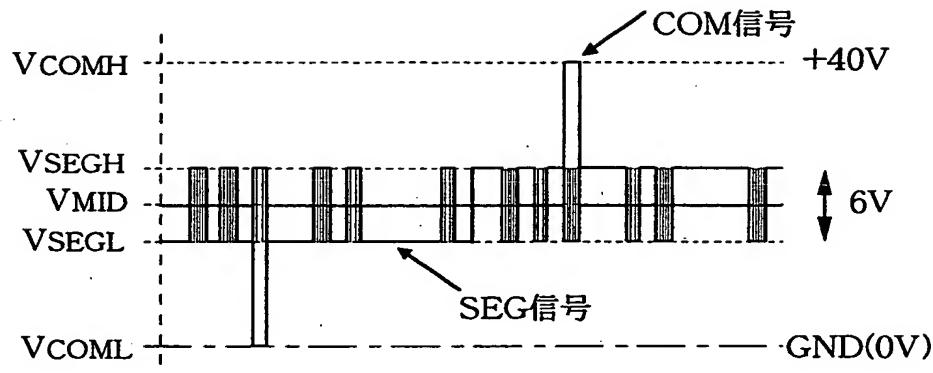


【図13】

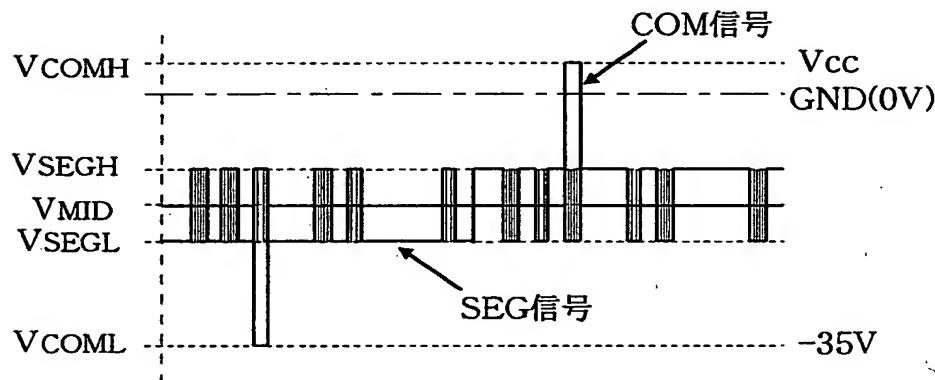


【図1.4】

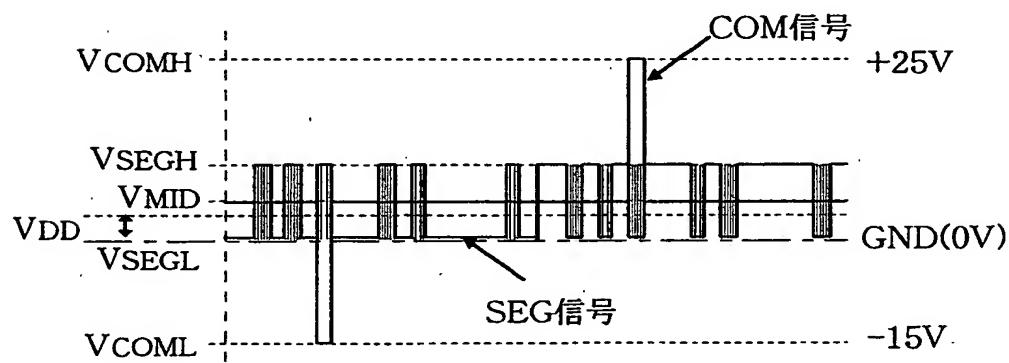
(A)



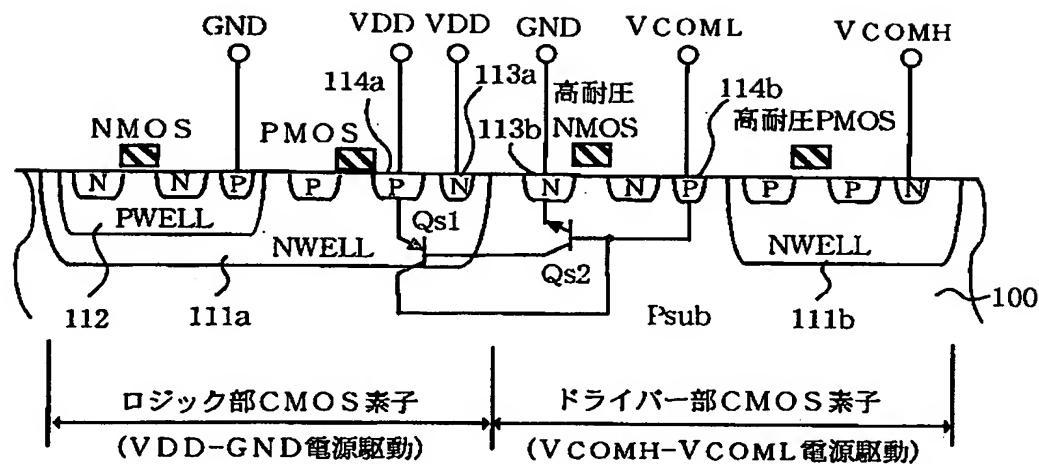
(B)



(C)



【図15】



【書類名】 要約書

【要約】

【課題】 セグメント駆動電圧の振幅の一方のレベルを接地電位に合わせて他の液晶駆動電圧のレベルを決定するようにもうしてもラッチアップを起こしにくい電源回路を内蔵した液晶駆動制御装置を提供する。

【解決手段】 電源回路（230）で発生された負電圧（VCOML）がバイアス電圧として基板もしくはウェル領域に印加されるようにされた電源回路内蔵の半導体集積回路において、電源回路の起動時に上記負電圧でバイアスされる基板もしくはウェル領域を一時的に接地電位を印加するスイッチ（270）を設けるようにした。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2001-110813
受付番号	50100523857
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 4月11日

＜認定情報・付加情報＞

【提出日】 平成13年 4月10日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 千葉県茂原市早野3681番地

氏 名 日立デバイスエンジニアリング株式会社